

特開平6-139138

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 12/02	5 5 0	9368-5B		
	5 7 0	9368-5B		
G 0 6 K 19/07		8623-5L	G 0 6 K 19/ 00	N
		6741-5L	G 1 1 C 17/ 00	3 0 9 A
審査請求 未請求 請求項の数5(全11頁) 最終頁に続く				

(21)出願番号 特願平4-291528

(22)出願日 平成4年(1992)10月29日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小西 和夫

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

(72)発明者 吉岡 心平

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

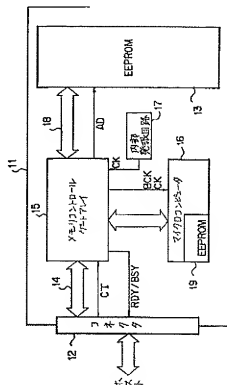
(74)代理人 弁理士 錦江 武彦

(54)【発明の名称】 メモリカード装置

(57)【要約】

【目的】この発明は、EEPROMの全データ記憶領域に対するデータの書き替え回数を平準化することで、特定の記憶領域にのみ集中してデータ書き替えが行なわれることを防止できるようにしたメモリカード装置を提供することを目的としている。

【構成】ホスト機器と内蔵されたEEPROMとの間でデジタルデータの転送を行なうメモリカード装置において、ホスト機器が指定する論理アドレスとEEPROMの実際の物理アドレスとを対応させる管理テーブルが形成されたメモリと、このメモリに形成された管理テーブルに基づいてホスト機器が指定した論理アドレスに対応する物理アドレスをEEPROMに指定する管理手段と、メモリに形成された管理テーブルの論理アドレスと物理アドレスとの対応関係を変更する変更手段とを備えている。



【特許請求の範囲】

【請求項1】 ホスト機器と内蔵されたEEPROMとの間でデジタルデータの転送を行なうメモリカード装置において、前記ホスト機器が指定する論理アドレスと前記EEPROMの実際の物理アドレスとを対応させる管理テーブルが形成されたメモリと、このメモリに形成された管理テーブルに基づいて前記ホスト機器が指定した論理アドレスに対応する物理アドレスを前記EEPROMに指定する管理手段と、前記メモリに形成された管理テーブルの論理アドレスと物理アドレスとの対応関係を変更する変更手段とを具備してなることを特徴とするメモリカード装置。

【請求項2】 前記変更手段は、前記物理アドレスの数を割り切ることのできない数だけ、前記論理アドレスと物理アドレスとの対応関係をシフトさせるように前記管理テーブルを書き替えることを特徴とする請求項1記載のメモリカード装置。

【請求項3】 前記変更手段は、前記論理アドレスと物理アドレスとの対応関係を決定する複数の情報が設定されたテーブルを有し、このテーブルから選出された情報に基づいて前記管理テーブルを書き替えることを特徴とする請求項1記載のメモリカード装置。

【請求項4】 前記変更手段は、前記EEPROMに対して初期化に対応する処理が施される毎に、前記管理テーブルの書き替えを実行することを特徴とする請求項1乃至3いずれかに記載のメモリカード装置。

【請求項5】 ホスト機器と内蔵されたEEPROMとの間でデジタルデータの転送を行なうメモリカード装置において、前記EEPROMの記憶領域を所定の単位領域に分割し、前記EEPROMへの前記デジタルデータの書き込み時に、各単位領域毎にその単位領域にデータ書き込みが行なわれた回数を示す情報を付加する書き込み手段と、前記EEPROMから読み出されたデータを前記ホスト機器に出力する際に、前記書き込み手段で付加された情報を除去する出力手段とを具備してなることを特徴とするメモリカード装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体メモリとしてEEPROM（エレクトロリカリィ・イレーサブル・アンド・プログラマブル・リード・オンリー・メモリ）を使用したメモリカード装置に係り、特に撮影した被写体の光学像をデジタル画像データに変換して半導体メモリに記録する電子スチルカメラ装置等に使用して好適なものに関する。

【0002】

【従来の技術】 周知のように、撮影した被写体の光学像を固体撮像素子を用いて電気的な画像信号に変換し、この画像信号をデジタル画像データに変換して半導体メモリに記録する電子スチルカメラ装置が開発されている。

そして、この種の電子スチルカメラ装置にあっては、半導体メモリをカード状のケースに内蔵してなるメモリカードを、カメラ本体に着脱自在となるように構成することによって、通常のカメラにおけるフィルムと等価な取り扱いができるようになされている。

【0003】 ここで、電子スチルカメラ装置のメモリカードは、現在、標準化が進められていて、内蔵される半導体メモリとしては、複数枚のデジタル画像データを記録するために大記憶容量のものが要求され、例えばSRAM（スタティック・ランダム・アクセス・メモリ）、マスクROM及び電気的にデータの書き込みや消去が可能なEEPROM等が考えられており、SRAMを用いたメモリカードは既に商品化されている。

【0004】 ところで、SRAMを用いたメモリカードは、どのようなフォーマットのデータ構成にも対応することができるとともに、データの書き込みスピード及び読み出しスピードも速いという利点がある反面、書き込んだデータを保持するためのバックアップ電池をメモリカード内に収容する必要があるため、電池収容スペースを設ける分だけ記憶容量が削減されるとともに、SRAM自体のコストが高く経済的な不利を招くという問題を持っている。

【0005】 そこで、現在では、SRAMの持つ問題点を解消するために、メモリカードに用いられる半導体メモリとしてEEPROMが注目されている。このEEPROMは、磁気ディスクに代わる記録媒体として注目されているもので、データ保持のためのバックアップ電池が不要であるとともに、チップ自体のコストを安くすることができる等、SRAMの持たない特有な利点を有することから、メモリカード用として使用するための開発が盛んに行なわれている。

【0006】 ここで、図9は、SRAMを用いたメモリカード（SRAMカード）とEEPROMを用いたメモリカード（EEPROMカード）との長短を比較して示している。まず、比較項目1、2のバックアップ電池及びコストについては、既に前述したように、SRAMカードはバックアップ電池が必要でありコストも高いという問題があるのに対し、EEPROMカードはバックアップ電池が不要でコストも低くすることができるという利点を有している。

【0007】 次に、比較項目3、4の書き込みスピード及び読み出しスピードについては、アドレスで任意に指定したバイトまたはビットに対して、データの書き込み及び読み出しを行なう、SRAMとEEPROMとに共通のランダムアクセスモードと、複数の連続するバイト（数バイト）でなるページを指定することにより、ページ単位で一括してデータの書き込み及び読み出しを行なう、EEPROMに特有のページモードとに分けて考えられる。

【0008】 そして、ランダムアクセスモードにおいて、

SRAMは書き込みスピード及び読み出しスピードが共に速く、EEPROMは書き込みスピード及び読み出しスピードが共に遅くなっている。また、EEPROMは、ページモードにおいて、1ページ分の大量のデータを一斉に書き込み及び読み出しすることから、ランダムアクセスモードに比してデータの書き込みスピード及び読み出しスピードは遅くなっている。

【0009】さらに、比較項目5のイレース（消去）モードは、EEPROMに特有のモードであり、SRAMには存在しないモードである。すなわち、EEPROMは、既にデータの書き込まれている領域に新たにデータを書き込む場合、先に書き込まれているデータを一旦イレースしないと新たなデータを書き込むことができないため、データの書き込みを行なうに際して、このイレースモードが実行されるようになっている。そして、このイレースモードには、EEPROMの全ての記憶内容を一括して消去するチップイレースと、複数のページであるブロック（数Kバイト）単位で記憶内容を消去するブロックイレースとがある。

【0010】また、比較項目6の書き込みベリファイも、EEPROMに特有のモードであり、SRAMには存在しないモードである。すなわち、EEPROMは、データ書き込みを行なう場合、通常1回の書き込み動作では完全な書き込みが行なわれない。このため、EEPROMに対して1回の書き込み動作を行なう毎にEEPROMの書き込み内容を読み出し、正確に書き込まれているか否かをチェックする必要があり、これが書き込みベリファイである。

【0011】具体的には、EEPROMに書き込むべきデータをバッファメモリに記録しておき、バッファメモリからEEPROMにデータを転送して書き込んだ後、EEPROMの書き込み内容を読み出し、バッファメモリの内容と比較して一致しているか否かを判別している。そして、書き込みベリファイの結果、不一致（エラー）と判定された場合には、再度バッファメモリの内容をEEPROMに書き込む動作を繰り返すようにしている。

【0012】以上の比較結果から明らかなように、EEPROMには、バックアップ電池が不要でありコストが安く、しかもページ単位のデータ書き込み及び読み出しが可能である等の、SRAMに見られない特有な利点が備えられている反面、ランダムアクセスモードにおけるデータの書き込みスピード及び読み出しスピードが遅いとともに、イレースモードや書き込みベリファイ等のようなSRAMにはないモードを必要とするという不都合もある。

【0013】そこで、メモ리카ードに使用する半導体メモリとして、現在使用されているSRAMに代えてEEPROMを使用することを考えた場合、データの書き込みスピード及び読み出しスピードの問題や、イレースモ

ード及び書き込みベリファイ等を必要とするという問題を解消し、SRAMを内蔵したメモ리카ードと等価な取り扱いができるように、つまりSRAMカードライクに使用できるように細部に渡って種々の改良を施すことが、肝要なこととなっている。

【0014】この場合、特に問題となることは、EEPROMは、データの書き替え回数が一定数を越えるとメモリセルが急激に劣化しデータの書き込み不良が発生し易くなることである。すなわち、EEPROMは、プログラムデータの記録用として開発され、プログラムのバージョンアップのときにデータの書き替えを行なえるようにすることを意図したものであるから、多数回のデータ書き替えに対応できるように設計されていないからである。

【0015】ところが、上述したように、例えば電子スチルカメラ装置等に使用されるメモ리카ード用の半導体メモリとして、従来より使用されていたSRAMに代えてEEPROMを用いるようにした場合、当然のことながら、EEPROMに対して頻繁にデータの書き替えが行なわれるような使われ方をされることとなるため、書き込み不良の発生率が飛躍的に増大するのであることは、どうしても避けられないこととなっている。

【0016】そして、この書き込み不良について、従来では、前述した書き込みベリファイ処理を所定回数繰り返しても正しく書き込まれなかったとき書き込み不良であると判断している。このため、電子スチルカメラ装置側からの指令で、EEPROMの特定の記憶領域に集中して頻繁にデータ書き替えが行なわれると、その記憶領域が非常に短期間で書き込み不良になってしまうという問題が生じる。この場合、従来では、EEPROMの他の記憶領域が正常であるにもかかわらず、そのEEPROMを内蔵するメモ리카ード全体を不良品として取り扱うようにしているため、非常に効率が悪く経済的な不利を招くという不都合が生じている。

【0017】

【発明が解決しようとする課題】以上のように、EEPROMを内蔵した従来のメモ리카ードでは、EEPROMの特定の記憶領域に集中してデータ書き替えが行なわれると、その記憶領域が非常に短期間で書き込み不良となり、そのEEPROMを含むメモ리카ード全体が不良品として取り扱われてしまうという問題を有している。

【0018】そこで、この発明は上記事情を考慮してなされたもので、EEPROMの全データ記憶領域に対するデータの書き替え回数を平準化することで、特定の記憶領域にのみ集中してデータ書き替えが行なわれることを防止できるようにした極めて良好なメモ리카ード装置を提供することを目的とする。

【0019】

【課題を解決するための手段】この発明に係るメモ리카ード装置は、ホスト機器と内蔵されたEEPROMとの

間でデジタルデータの転送を行なうものを対象としている。そして、ホスト機器が指定する論理アドレスとEEPROMの実際の物理アドレスとを対応させる管理テーブルが形成されたメモリと、このメモリに形成された管理テーブルに基づいてホスト機器が指定した論理アドレスに対応する物理アドレスをEEPROMに指定する管理手段と、メモリに形成された管理テーブルの論理アドレスと物理アドレスとの対応関係を変更する変更手段とを備えるようにしている。

【0020】また、この発明に係るメモ리카ード装置は、上記の対象において、EEPROMの記憶領域を所定の単位領域に分割し、EEPROMへのデジタルデータの書き込み時に、各単位領域毎にその単位領域にデータ書き込みが行なわれた回数を示す情報を付加する書き込み手段と、EEPROMから読み出されたデータをホスト機器に出力する際に、書き込み手段で付加された情報を除去する出力手段とを備えるようにしたものである。

【0021】

【作用】上記のような構成によれば、まず、ホスト機器が指定する論理アドレスとEEPROMの実際の物理アドレスとを対応させる管理テーブルの対応関係を変更するようにしたので、ホスト機器から同じ論理アドレスが指定されても、実際にデジタルデータの書き替えが行なわれるEEPROMの物理アドレスは異なることになり、EEPROMの全データ記憶領域に対するデータの書き替え回数を平準化することができる。

【0022】また、EEPROMへのデジタルデータの書き込み時に、EEPROMの記憶領域を所定の単位領域に分割した各単位領域毎に、その単位領域にデータ書き込みが行なわれた回数を示す情報を付加するとともに、EEPROMから読み出されたデータをホスト機器に出力する際に、付加された回数情報を除去するようにしたので、データの書き替え回数を平準化するという点から、回数情報に基づいてデータの書き替えが可能な単位領域を判別することができ、EEPROMの全データ記憶領域に対するデータの書き替え回数を平準化することができる。

【0023】

【実施例】以下、この発明の一実施例について図面を参照して詳細に説明する。図1において、11はメモ리카ード本体で、その一端部に設置されたコネクタ12を介して、例えば電子スチルカメラ本体等の図示しないホスト機器に接続されるようになされている。このコネクタ12には、ホスト機器から、メモ리카ード本体11内のEEPROM13に書き込むべきデジタルデータや、その書き込み場所を示すアドレスデータ等が供給されており、これらデジタルデータ及びアドレスデータは、バスライン14を介してメモリコントロールゲートアレイ15に供給されている。

【0024】また、上記ホスト機器からは、コネクタ12に対して、EEPROM13に対するデータの書き込み及び読み出しを行なうために必要な各種のコントロール信号CTが供給されており、このコントロール信号CTもメモリコントロールゲートアレイ15に供給されている。さらに、このメモリコントロールゲートアレイ15からは、ホスト機器からのデジタルデータの入力を許可するか否かを指定するレディ/ビジー切替信号RDY/BSYが発生され、コネクタ12を介してホスト機器に供給されるようになされている。

【0025】ここで、メモリコントロールゲートアレイ15は、その内部に図示しないバッファメモリを有しており、このバッファメモリに対するデジタルデータの書き込み及び読み出し動作が、マイクロコンピュータ16によって制御される。すなわち、ホスト機器から出力されコネクタ12に供給されたデジタルデータは、一旦バッファメモリに取り込まれ記録される。このときのバッファメモリのデジタルデータの取り込みタイミングは、上記コントロール信号CTの1つでアドレスデータに同期したバスクロックBCKに基づいてマイクロコンピュータ16で生成されるアドレスデータによって制御される。

【0026】そして、バッファメモリに対するデジタルデータの書き込みが終了すると、マイクロコンピュータ16は、内部発振回路17から発生される内部クロックCKに基づいてアドレスデータを生成し、このアドレスデータによってバッファメモリからデジタルデータを読み出され、バスライン18を介してEEPROM13に出力される。このとき、マイクロコンピュータ16は、メモリコントロールゲートアレイ15を介してEEPROM13にアドレスデータADを出力させ、バッファメモリから読み出したデジタルデータを、EEPROM13に例えば512バイトのページ単位で書き込むように制御する。

【0027】次に、マイクロコンピュータ16は、EEPROM13にデジタルデータが書き込まれた状態で、メモリコントロールゲートアレイ15からEEPROM13に対して、先にデータの書き込みを指定したアドレスデータADを出力させ、EEPROM13から書き込んだデジタルデータを読み出させて、それがバッファメモリに記録されたデジタルデータと一致しているか否かを判別する、書き込みベリファイを実行する。

【0028】そして、EEPROM13から読み出したデジタルデータと、バッファメモリに記録されたデジタルデータとが一致していないと、マイクロコンピュータ16は、再度、バッファメモリからEEPROM13にデジタルデータを転送して書き込みを行ない、この動作が、EEPROM13から読み出したデジタルデータと、バッファメモリに記録されたデジタルデータとが完全に一致するまで繰り返され、一致したときデジタルデ

ータのEEPROM13への書き込み動作が終了される。

【0029】また、EEPROM13に記録されたデジタルデータをホスト機器に読み出す場合には、ホスト機器からコネクタ12を介して読み出し要求がなされるとともに、読み出すべきデジタルデータの記録されたアドレスが指定される。すると、マイクロコンピュータ16は、内部発振回路17から発生される内部クロックCKに基づいて生成されたアドレスデータADによって、EEPROM13からデジタルデータを読み出し、バスライン18を介してメモリコントロールゲートアレィ15のパッファメモリに書き込まれる。

【0030】その後、マイクロコンピュータ16は、ホスト機器から与えられたバスクロックBCKに基づいてアドレスデータを生成し、このアドレスデータによってパッファメモリからデジタルデータを読み出し、バスライン14及びコネクタ12を介してホスト機器に導出させ、ここに、EEPROM13からのデジタルデータの読み出しが行なわれる。

【0031】さらに、ホスト機器において、メモ리카ード本体11を初期化する操作がなされたとすると、ホスト機器は、EEPROM13の全データ記憶領域に0を書き込ませるようなアドレスデータ、デジタルデータ及びコントロール信号CTをコネクタ12に与えることにより、メモ리카ード本体11の初期化を行なうようにしている。

【0032】ここで、上記マイクロコンピュータ16には、EEPROM19が接続されており、このEEPROM19には、ホスト機器が指定するEEPROM13のアドレス（以下論理アドレスという）と、実際のEEPROM13のアドレス（以下物理アドレスという）とを対応させるための管理テーブルが形成されている。この管理テーブルでは、EEPROM13の全データ記憶領域を100個のブロックに分割し、ブロック単位で論理アドレスと物理アドレスとの対応関係を管理している。

【0033】すなわち、図2(a)に示すように、EEPROM19には、100個の論理アドレス0, 1, ..., 99にそれぞれ対応した物理アドレス記憶領域190, 191, ..., 199が設けられており、各物理アドレス記憶領域190, 191, ..., 199にはEEPROM13の物理アドレス0, 1, ..., 99がそれぞれ書き込まれて管理テーブルが形成されている。この場合、ホスト機器から論理アドレス0に対してデータの書き替えが要求されると、マイクロコンピュータ16は、管理テーブルを参照することによりEEPROM13の物理アドレス0に対してデータの書き替えを要求し、EEPROM13には物理アドレス0に対してデジタルデータの書き替えが行なわれる。

【0034】ここで、メモ리카ード本体11が前述した

ように初期化されたことをマイクロコンピュータ16が検知した場合、つまり、ホスト機器からEEPROM13の全データ記憶領域に0を書き込ませるようなアドレスデータ、デジタルデータ及びコントロール信号CTが供給されたことをマイクロコンピュータ16が検知した場合、マイクロコンピュータ16は、図2(b)に示すように、物理アドレス記憶領域190, 191, ..., 199の内容を13個シフトさせ、論理アドレス0, 1, ..., 99にそれぞれ対応した物理アドレス記憶領域190, 191, ..., 199に、EEPROM13の物理アドレス13, 14, ..., 12がそれぞれ書き込まれるように、管理テーブルを書き替える。この場合、ホスト機器から論理アドレス0に対してデータの書き替えが要求されると、マイクロコンピュータ16は、管理テーブルを参照することによりEEPROM13の物理アドレス13に対してデータの書き替えを要求し、EEPROM13には物理アドレス13に対してデジタルデータの書き替えが行なわれる。

【0035】以下同様に、メモ리카ード本体11が初期化される毎に、マイクロコンピュータ16は、物理アドレス記憶領域190, 191, ..., 199の内容を13個づつシフトさせる。このため、ホスト機器から同じ論理アドレス0が指定されても、実際にデジタルデータの書き替えが行なわれるEEPROM13の物理アドレスは、初期化される毎にその都度異なることになり、EEPROM13の全データ記憶領域に対するデータの書き替え回数を平準化することができる。この場合、ホスト機器から供給される論理アドレスの物理アドレスへの変換は、メモ리카ード本体11内のマイクロコンピュータ16がEEPROM19に記憶された変換テーブルを参照するという、ホスト機器に無関係にメモ리카ード本体11内部だけの処理によって実行されるので、ホスト機器からみた場合には、全くSRAMカードライクに使用することができる。

【0036】また、物理アドレス記憶領域190, 191, ..., 199に書き込まれた物理アドレス0, 1, ..., 99のシフト数を、EEPROM13の全データ記憶領域の分割数100を割り切ることのできない13としたので、初期化が例えば8回繰り返されて1周しても、図2(c)に示すように、物理アドレス記憶領域190, 191, ..., 199にはEEPROM13の物理アドレス5, 6, ..., 4がそれぞれ書き込まれるようになり、図2(a)に示した管理テーブルと同じにならず、データの書き替え回数を平準化するのに効果的である。

【0037】ここで、管理テーブルの物理アドレス0, 1, ..., 99を、メモ리카ード本体11が初期化される毎に書き替える手段としては、図3に示すように、マイクロコンピュータ16に乱数ROM20を内蔵させ、この乱数ROM20にランダムに記憶された物理アドレ

【0041】そこで、各ブロック21₁、21₂、…、21_nの先頭ページ22₁の先頭部分に、そのブロック21₁、21₂、…、21_nに対するデータ書き替え回数を示す情報付加して、ブロック単位でのデータ書き替え回数を管理することが考えられる。この場合、ホスト機器から出力されEEPROM13に書き込まれるデータには、データ書き替え回数情報を付加し、逆に、EEPROM13から読み出されてホスト機器に出力されるデータからは、データ書き替え回数情報を除

去する必要があることから、メモリコントロールゲート
アレイ 15 内に 2 ページ分のバッファメモリ 23 を設置
している。

【0042】ホスト機器から出力されたデータをEEPROM13に書き込む場合には、まず、マイクロコンピュータ16は、図7(a)に示すように、ホスト機器がデータの書き込みを指定したEEPROM13のブロック21、(1≤i≤n)の先頭ページ22、に付加されたデータ書き替え回数情報DCを読み出し、その値からデータの書き替え回数を平準化するという点で、当該ブロック21、がデータ書き込みに連しているか否かを判断する。そして、適していると判断した場合、マイクロコンピュータ16は、データ書き替え回数情報DCに1を加え、その値をバッファメモリ23に書き込む。

【0043】その後、マイクロコンピュータ16は、ブロック21の内容をブロッカイレースするとともに、図7(b)に示すように、ホスト機器から1ページ分のデジタルデータDAを取り込み、バッファメモリ23にそのデータ書き替え回数情報Cの後に書き込む。この場合、ホスト機器から取り込んだ1ページ分のデジタルデータDAは、バッファメモリ23の第1ページと第2ページとに分けて書き込まれる。これにより、バッファメモリ23に書き込まれたデータが1ページ以上の長さになったため、マイクロコンピュータ16は、図7(c)に示すように、バッファメモリ23の第1ページのデータをEEPROM13のブロック21の、先頭ページ22に書き込む。

【0044】次に、マイクロコンピュータ16は、図7(d)に示すように、バッファメモリ23の第2ページデータを第1ページに移動させ、ホスト機器から1ページ分のデジタルデータDAを取り込み、その取り込んだデータをバッファメモリ23の第1ページに移動させたデータの後に書き込んだ後、バッファメモリ23の第1ページデータをEEPROM13のブロック21:1の第2ページ22:2に書き込む。以下、同様の動作が繰り返されてEEPROM13のブロック21:1にページ単位でデータが順次書き込まれる。

【0045】ここで、ブロック21₁が満杯になり、データの書き込みが次のブロック21₁₊₁にまたがる場合には、バッファメモリ23の第1ページのデータを前ブロック21₁の最終ページ22₂に書き込んだ状態で、マイクロコンピュータ16は、バッファメモリ23の第2ページのデータを第1ページに移動させず、図7

(e) に示すように、ブロック 21_{in} の先頭ページ 22_i に付加されたデータ書き替え回数情報 DC を読み出し、その値からデータの書き替え回数を平均化するという点で、当該ブロック 21_{in} がデータ書き込みに適しているか否かを判断する。そして、適しているか判断した場合、マイクロコンピュータ 16 は、データ書き替え回数情報 DC に 1 を加え、その値をバッファメモリ 23

の第1ページに書き込む。

【0046】その後、マイクロコンピュータ16は、ブロック21_mの内容をブロックイレースするとともに、図7(f)に示すように、バッファメモリ23の第2ページのデータを第1ページのデータ書き替え回数情報DCの後に書き込む。この状態で、バッファメモリ23内の全データ量が1ページを越えれば、つまり、第1ページが満杯になれば、マイクロコンピュータ16は、第1ページのデータをブロック21_mの先頭ページ22₁に書き込む処理を実行し、バッファメモリ23内の全データ量が1ページを越えなければ、つまり、第1ページが満杯にならないければ、ホスト機器からのデータ入力待ち状態となる。また、マイクロコンピュータ16は、ホスト機器からデータ終了の指令を受けると、図7(g)に示すように、バッファメモリ23内のデータを全てEEPROM13に書き込み、ここに、ホスト機器から出力されたデータのEEPROM13への書き込み動作が終了される。

【0047】一方、EEPROM13からデータを読み出す場合には、マイクロコンピュータ16は、図8に示すように、EEPROM13のブロック21₁の先頭ページ22₁から1ページ分のデータをバッファメモリ23の第1ページに取り出し、このバッファメモリ23の第1ページに取り出されたデータの中から、データ書き替え回数情報DCを除くデジタルデータDA成分のみをホスト機器に出力するように動作する。

【0048】したがって、この第3の実施例によれば、各ブロック21₁、21₂、……、21_nの先頭ページ22₁に、そのブロック21₁、21₂、……、21_nにデータ書き込みが行なわれた回数を示す情報を付加し、ホスト機器からデータの書き込みが要求された状態で、データの書き替え回数を標準化するという点から、回数情報に基づいてデータの書き替えが可能か否かを判断することができるようにしたので、EEPROM13*

*の全データ記憶領域に対するデータの書き替え回数を標準化することができる。なお、この発明は上記各実施例に限定されるものではなく、この外その要旨を逸脱しない範囲で種々変形して実施することができる。

【0049】

【発明の効果】以上詳述したようにこの発明によれば、EEPROMの全データ記憶領域に対するデータの書き替え回数を標準化することで、特定の記憶領域にのみ集中してデータ書き替えが行なわれることを防止できるようにした極めて良好なメモリカード装置を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るメモリカード装置の一実施例を示すブロック構成図。

【図2】同実施例の動作を説明するために示す図。

【図3】この発明の他の実施例を示すブロック構成図。

【図4】同他の実施例における乱数ROMの記憶内容を示す図。

【図5】同他の実施例の動作を説明するために示す図。

【図6】この発明の第3の実施例を示すブロック構成図。

【図7】同第3の実施例のデータ書き込み動作を説明するために示す図。

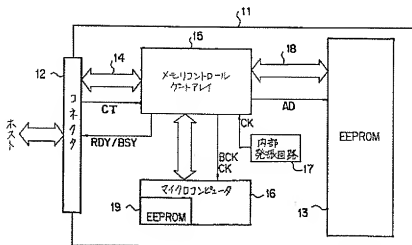
【図8】同第3の実施例のデータ読み出し動作を説明するために示す図。

【図9】SRAMとEEPROMとの長短を比較して示す図。

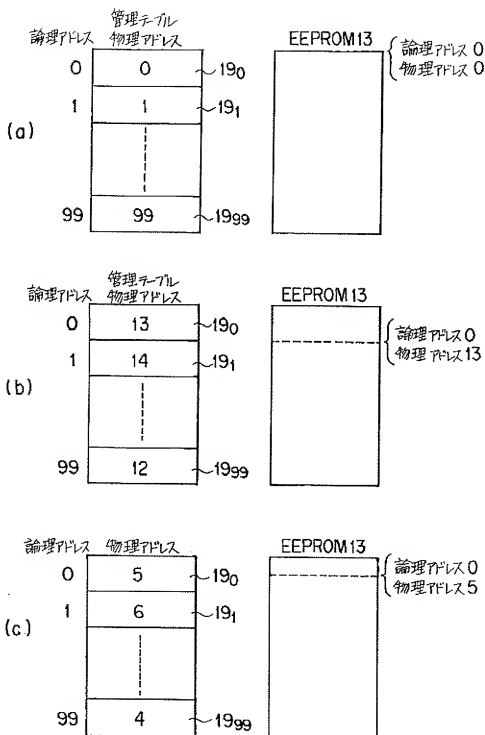
【符号の説明】

11…メモリカード本体、12…コネクタ、13…EEPROM、14…バスライン、15…メモリコントロールゲートアレイ、16…マイクロコンピュータ、17…内部発振回路、18…バスライン、19…EEPROM、20…乱数ROM、21₁…21_n…ブロック、22₁…22_n…ページ、23…バッファメモリ。

【図1】



【図2】

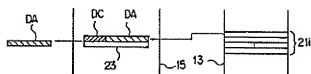


【図4】

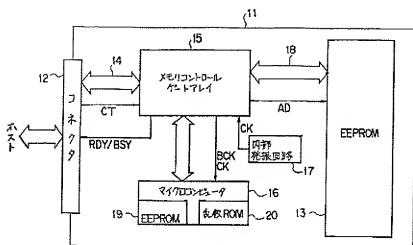
0	5	92	18	-----	3	67	22	49
(1)	(2)	(3)	(4)		(97)	(98)	(99)	(100)

()内は初期化回数

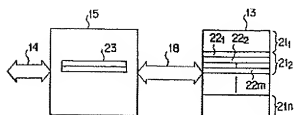
【図8】



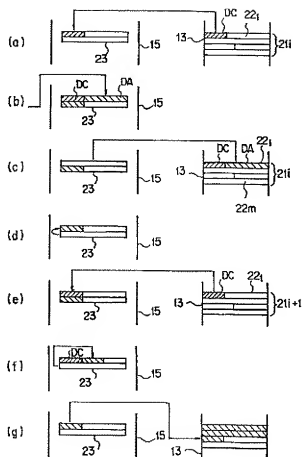
【図3】



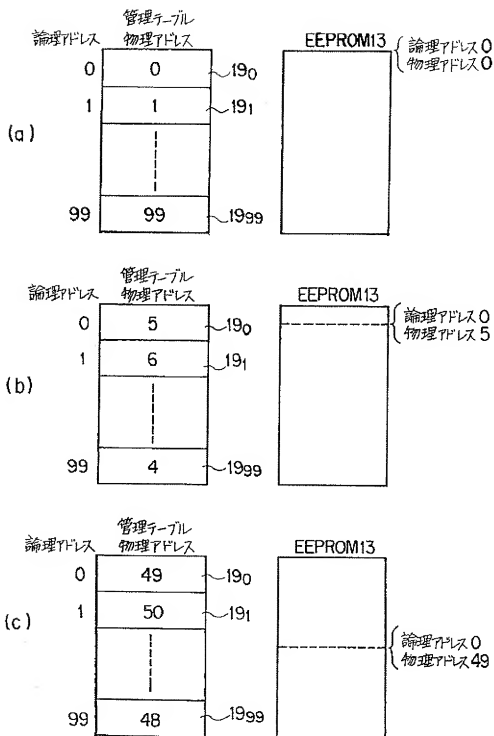
【図6】



【図7】



【図5】



【図9】

比 較 項 目	SRAMカード	EEPROMカード
1. バックアップ電池	有	無
2. コスト	高	やや低
3. 書き込みスピード (ランダム) (ページ)	速 — — —	遅 やや速
4. 読み出しスピード (ランダム) (ページ)	速 — — —	遅 やや速
5. イレースモード	無	有
6. 書き込みベリファイ	必要無	必要有

フロントページの続き

(51) Int. Cl.⁵

G I C 7/00
16/06

H O I L 27/115

識別記号

3 1 5

庁内整理番号

6741-5L

F I

技術表示箇所

7210-4M

H O I L 27/10

4 3 4